

X-band 송수신 모듈을 위한 높은 감쇠 정확도와 작은 위상 변동을 가진 6 비트 MMIC 디지털 감쇠기

A 6-Bit MMIC Digital Attenuator with High Attenuation Accuracy and Small Phase Variation for X-band TR Module Applications

주인권*

Inkwon Ju

염인복*

In-Bok Yom

이정원**

Jeong-Won Lee

이수호**

Soo-Ho Lee

안창수***

Chang-Soo Ahn

김선주***

Sun-Joo Kim

박동운****

Dong-Un Park

오승엽****

Seung-Hyeup Oh

Abstract

A 6-bit MMIC digital attenuator applicable to X-band TR module has been developed by using 0.5 μ m GaAs pHEMT processes. The Switched-T attenuator scheme and the switched-path attenuator scheme were adopted to obtain low insertion loss and small phase variation, respectively. Resistors and transmission lines are optimized to achieve the digital attenuator with high attenuation accuracy and small phase variation. The digital attenuator has RMS error of 0.4dB, resolution of 0.5dB and dynamic range of 31.5dB. The measurement results show that in-out VSWRs are less than 1.5, phase variation is from -7 to +2 degrees and IIP3 is 36.5dBm.

Keywords : HEMT, Microwave Attenuators, MMICs, Digital Attenuators, Phased-Array Radar

1. 서론

최근, 위성 DMB 등의 발달과 더불어 Ku 대역(12~18GHz), K 대역(18~26GHz) 및 Ka 대역(26~40GHz)

의 무선 시스템의 개발이 활발히 이루어지고 있다. 다양한 마이크로파 및 밀리미터파 시스템에서, 트랜시버의 이득 조절과 증폭기의 온도 보상을 위해 가변 감쇠기가 폭넓게 사용되고 있다.

가변 감쇠기는 아날로그 감쇠기와 디지털 감쇠기 형태로 구현될 수 있다. 아날로그 감쇠기는 제어 전압 혹은 제어 전류의 증감에 대한 감쇠량 증감이 비선형적인 특성을 가지고 있으므로 제어가 쉽지 않고, 이러한 비선형적 특성을 보상하기 위해 복잡한 제어 회로를 요구한다. 또한 온도 변화와 MMIC 공정 변동에 민감하여 감쇠량의 변동이 매우 크므로, 역시 이를 보상하기 위해 복잡한 제어 회로가 필요하다.

† 2009년 4월 16일 접수~2009년 6월 26일 게재승인

* 한국전자통신연구원 무선RF·탑재기술연구팀(ETRI, RF and Satellite Payload Research Team)

** 엘아이지 넥스원(LIG NEX1)

*** 국방과학연구소(ADD)

**** 충남대학교 전기정보통신공학부

책임저자 : 주인권(juinkwon@etri.re.kr)

반면에, 디지털 감쇠기는 아날로그 감쇠기에 비해 선형적이고, 높은 전력을 취급할 수 있다. 또한 디지털 감쇠기는 온도 변화와 MMIC 공정 변동에 대해 특성 변화가 작으므로 상대적으로 감쇠 제어가 용이하고, 감쇠의 정확도가 높으므로 선호되고 있다.

그럼에도 불구하고, X 대역 이상에서 주로 사용되고 있는 감쇠기는 하이브리드 혹은 MMIC 형태의 아날로그 감쇠기이다. 그 이유는 시장에 나와 있는 대부분의 디지털 감쇠기의 동작 주파수가 20GHz 이내이기 때문이다.

Distributed-T switchable 감쇠기^[1,2], Switched-T 감쇠기^[3,4], Switched-Pi 감쇠기^[5~7], Switched-path 감쇠기^[8] 등과 같은 많은 형태의 디지털 감쇠기가 문헌에 보고되어 있다. 조사된 문헌의 모든 디지털 감쇠기의 동작 주파수는 20GHz 이내이며, 감쇠의 정확도도 떨어지는 문제점이 있다. 다만, 참고문헌 [8]의 Switched-path 감쇠기만이 40~50GHz의 동작 주파수를 가지고 있다.

본 논문에서는 X 대역 송수신 모듈용으로 0.5 μ m GaAs pHEMT 공정을 이용하여 개발된 6 비트 MMIC 디지털 감쇠기에 대하여 논하고자 한다.

2. 설 계

가. 성능 목표

디지털 감쇠기의 중요 성능 항목에는 감쇠량의 정확도, 삽입 손실, 입출력단의 임피던스 정합, 전력 취급 특성(power handling), 위상 변화, 감쇠기의 크기 및 제어 회로의 구현 용이성 등이 있다. 디지털 감쇠기의 감쇠량의 정확도는 사용 주파수 범위에서 각 개별 비트가 정해진 감쇠량에서 어느 정도의 오차를 가지는지를 나타낸다. 보통 감쇠량의 정확도는 LSB(Least Significant Bit)의 1/2 이내일 때, 우수한 것으로 간주한다. 디지털 감쇠기의 참조 상태 삽입 손실은 가능한 작아야 한다. 이는 저손실 감쇠기가 전력 소비, 회로 크기 및 비용 등 여러 가지 면에서 장점을 가지기 때문이다.

디지털 감쇠기의 입력 및 출력 임피던스 정합은 매우 좋아야 하며, 위상 변위기나 증폭기 등과 직렬로 이어졌을 때, 사용 주파수 내에서 삽입 손실과 삽입 위상의 리플을 발생시키지 않아야 한다. 개별 감쇠 비트의 입출력 정합은 감쇠기 전체 성능에 영향을 미치며, 부정합이 있을 때에는 MMIC 칩 내부에서 상호

작용을 일으켜 칩 전체의 진폭과 위상 성능을 저하시킨다.

또한, 감쇠기에서 IIP3(Input 3rd order Intercept Point)로 정의되는 전력 취급 특성은 감쇠기의 선형성을 나타내며 높은 전력에서도 감쇠기를 사용하기 위해서는 IIP3가 높아야 한다.

위상 배열 안테나와 같은 일부의 시스템에서는 가능한 모든 감쇠 상태에 대하여 이상적으로 감쇠기의 삽입 위상이 변하지 않는 것이 요구된다. 그리고 감쇠기의 크기는 작을수록 무게 및 비용을 줄일 수 있어 유리하다. 감쇠기 제어 회로의 구현 용이성 또한 중요 항목으로 간단히 구현되는 제어 회로가 선호된다.

전술한 바와 같은 디지털 감쇠기의 모든 중요 성능 항목은 동시에 만족될 수 없으며, 성능 항목 간에 상당한 양보가 필요하다.

본 연구에서는 X 대역에서 감쇠량의 높은 정확도, 작은 위상 변동, 작은 삽입 손실, 입출력단의 임피던스 정합, 작은 칩 크기 등을 성능 목표로 하여 0.5dB의 감쇠 해상도와 31.5dB의 감쇠 동작 범위를 가진 6 비트 MMIC 디지털 감쇠기를 제안하고자 한다.

Table 1은 X 대역 송수신 모듈을 위한 6 비트 MMIC 디지털 감쇠기의 성능 목표를 정리한 것이다.

Table 1. X 대역 송수신 모듈용 6 비트 MMIC 디지털 감쇠기의 성능 목표

Parameter	Symbol	Unit	Specification
Bandwidth	f	GHz	fc \pm 1
Insertion Loss	IL	dB	<9
Input VSWR, All States	VSWR		<2.0:1
Output VSWR, All States	VSWR		<2.0:1
Attenuation Range		dB	31.5
Least Significant Bit	LSB	dB	0.5
Most Significant Bit	MSB	dB	16
RMS Attenuation Error		dB	<1.0
Average Attenuation Error		dB	<0.5
Phase Variation over all Attenuation States		°	-10~+20
Input Third Order Intercept Point	ITOI	dBm	>32

나. GaAs pHEMT 스위칭 소자

pHEMT 스위치는 세 개의 단자를 가진 소자이며, 이 소자의 게이트 바이어스 전압 V_g 가 스위치의 상태를 제어한다. 이 때, pHEMT는 전압 제어 저항처럼 행동하게 되며, 여기서 게이트 바이어스는 채널에서의 드레인과 소스간의 저항을 제어한다. 게이트와 소스간 및 드레인과 소스간의 내재적인 커패시턴스 및 소자기생 성분들이 고주파수에서의 pHEMT의 스위치 성능을 제한한다.

Fig. 1은 본 디지털 감쇠기 제작에 사용된 $0.5\mu\text{m}$ GaAs pHEMT 선형 모델을 나타낸다. 높은 선형성과 저손실을 얻기 위해서는 게이트 폭이 큰 소자를 사용해야 하고, 광대역 고주파 특성을 얻기 위해서는 게이트 폭이 작은 소자를 사용하여 기생 성분을 줄여야 한다.

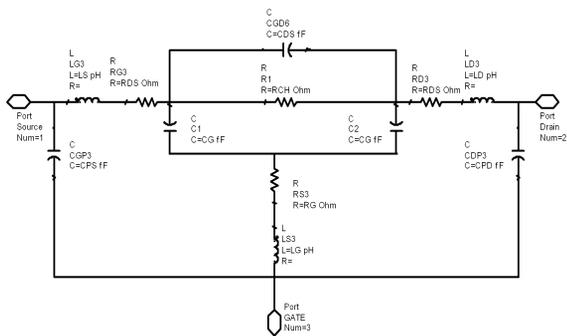


Fig. 1. 사용된 $0.5\mu\text{m}$ GaAs pHEMT 선형 모델($0.5\mu\text{m}$ GaAs pHEMT linear model).

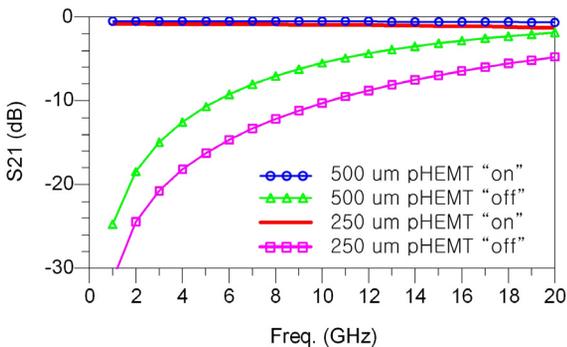


Fig. 2. $500\mu\text{m}$ 게이트 폭 및 $250\mu\text{m}$ 게이트 폭의 pHEMT의 on, off 상태 삽입 손실(On, off state insertion losses of the $500\mu\text{m}$ gate width and the $250\mu\text{m}$ gate width pHEMTs).

본 디지털 감쇠기 설계에서는 $500\mu\text{m}$ 게이트 폭의 pHEMT를 직렬 스위치에 사용하여 삽입 손실이 크지 않도록 하였고, $250\mu\text{m}$ 게이트 폭의 pHEMT를 단락 스위치에 사용하여 광대역 고주파 특성을 얻을 수 있도록 하였다.

Fig. 2는 직렬 스위치에 사용된 $500\mu\text{m}$ 게이트 폭의 pHEMT의 on, off 상태 삽입 손실과 단락 스위치에 사용된 $250\mu\text{m}$ 게이트 폭의 pHEMT의 on, off 상태 삽입 손실을 나타낸다. pHEMT의 off 상태 삽입 손실이 고주파로 갈수록 열화되는 것은 용량성 기생 성분 때문이며 소자가 클수록 그 기생 성분도 크다는 것을 알 수 있다.

다. 개별 비트 설계

성능 목표에 대한 검토 결과, 4dB 이하의 작은 감쇠 비트는 다양한 감쇠기 구조 중에서 Switched-T 감쇠기 구조를 기본 구조로 사용하였다.

Fig. 3에 Switched-T 감쇠기 구조를 나타내었다. Switched-T 감쇠기는 다른 감쇠기에 비해 삽입 손실이 적고, 작은 수의 소자로 구성되어 있어 기생 커패시턴스 성분이 작으므로 고주파 특성이 우수하다. 또한 Switched-T 감쇠기는 입출력 단자의 정합도 우수하다. Fig. 3의 직렬 스위치 Q1이 "on" 되고 단락 스위치 Q2가 "off" 되면, 감쇠기는 참조 상태 삽입 손실을 가진다. 반대로, 직렬 스위치가 "off" 되고 단락 스위치가 "on" 되면, 감쇠기는 감쇠 상태 삽입 손실을 가진다. 감쇠 상태와 참조 상태의 삽입 손실의 차이가 제어할 수 있는 감쇠량이 된다.

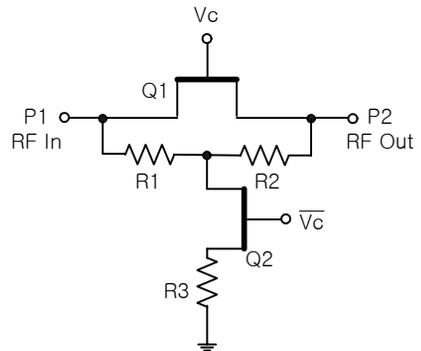


Fig. 3. Switched-T 감쇠기(Switched-T attenuator).

Fig. 3의 Switched-T 감쇠기 구조에서 스위칭 소자인 Q1과 Q2가 이상적인 스위칭 소자로서 일체의 기생 성

분이 없다고 가정할 때, 직렬 스위치 Q1이 “off” 되고 단락 스위치 Q2가 “on” 되는 감쇠 상태의 구조는 단순한 T-형 감쇠기 구조와 같다. 아래 식 (1)은 이와 같이 저항성 소자 R1, R2, R3로 형성된 T-형 감쇠기 구조에서 감쇠량에 따른 저항성 소자의 저항값을 나타낸다.⁹⁾ 여기서, A는 감쇠량(dB), Z₀는 감쇠기 입출력 단의 특성 임피던스를 나타낸다.

$$R1 = \frac{10^{A/10} + 1}{10^{A/10} - 1} Z_0 - R3, R2 = R1, R3 = \frac{2 \cdot 10^{A/20}}{10^{A/10} - 1} Z_0 \quad (1)$$

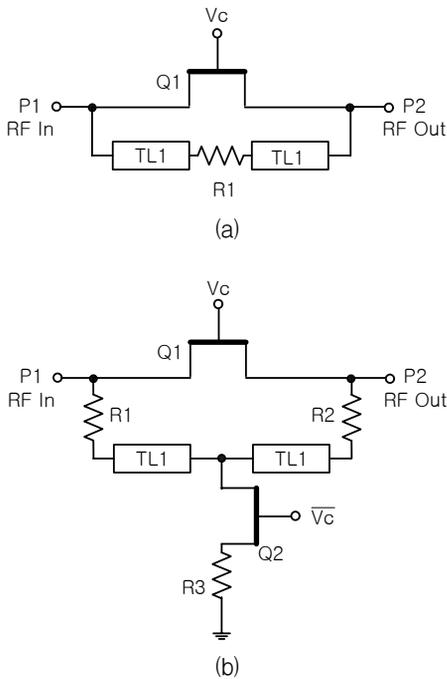


Fig. 4. (a) 0.5dB 및 1dB 비트를 위한 간략화된 Switched-T 감쇠기 (b) 2dB 및 4dB 비트를 위한 Switched-T 감쇠기((a) Simplified switched-T attenuator for 0.5 & 1dB bits and (b) switched-T attenuator for 2 & 4dB bits).

Fig. 4(a)는 0.5 및 1dB 비트를 위해 제안된 간략화된 Switched-T 감쇠기를 보여준다. Fig. 3의 종래의 Switched-T 감쇠기에서 단락 스위치 Q2와 단락 R3가 제거되고, 직렬 저항 R1과 R2는 합쳐져서 하나의 직렬 저항 R1으로 되었다. 간략화된 Switched-T 감쇠기는 종래의 Switched-T 감쇠기에 비해 입출력 임피던스

정합을 하기 어렵지만, 저손실 특성을 얻기 위해 제안하였다. 종래의 Switched-T 감쇠기는 약 1dB의 삽입 손실을 가지는데 비해, 제안된 간략화된 Switched-T 감쇠기는 약 0.5dB의 삽입 손실을 나타낸다. 입출력 임피던스 정합과 작은 위상 변동을 얻기 위해 Fig. 4(a)에서 보는 바와 같이 전송선로 TL1은 직렬 저항 R1의 양쪽에 삽입되었으며, 그 회로 파라미터인 선폭과 선길이가 최적화되었다.

Fig. 4(b)는 2 및 4dB 비트를 위한 Switched-T 감쇠기를 보여준다. 입출력 임피던스 정합과 작은 위상 변동을 얻기 위해 직렬 저항 R1과 R2 사이에 전송선로 TL1을 삽입하였으며, 그 회로 파라미터인 선폭과 선길이가 최적화되었다.

Fig. 4에서 저항 R1, R2, R3는 식 (1)로부터 초기값을 얻을 수 있으나, 식 (1)로부터 구해진 저항값으로는 원하는 감쇠량보다 작은 감쇠량이 얻어진다. 이는 주로 직렬 스위치 Q1의 기생 커패시턴스에 기인하는 것으로 Fig. 2의 off 상태 삽입 손실에서 보는 바와 같이 pHEMT 스위치 “off”시에 드레인 소스간에 완벽히 격리되지 않고 용량성 결합에 의해 전달되는 신호가 발생하기 때문이다. 그러므로 정확한 감쇠와 입출력 임피던스 정합을 위해 저항 R1, R2, R3도 최적화되었다.

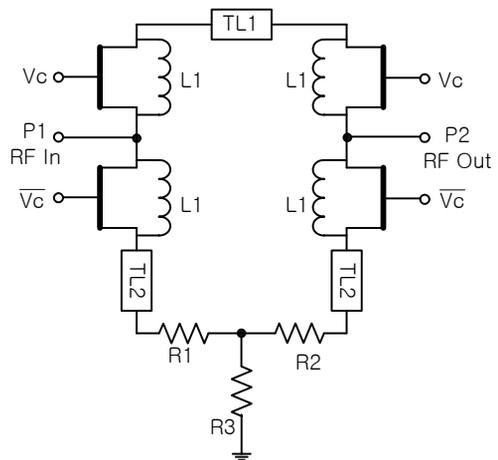


Fig. 5. 8dB 및 16dB 비트를 위한 Switched-path 감쇠기(Switched-T attenuator for 8 & 16dB bits).

Fig. 5는 8dB 및 16dB 비트를 위한 switched-path 감쇠기를 나타낸다. Switched-path 감쇠기는 대칭적 구조를 가지고 있으므로, 공정 변수의 변동에 덜 민감하

며, 온도 변화에 따른 성능 변화가 적다. 반면에 이 방법으로 다중 비트 MMIC 감쇠기를 구현할 경우에, SPDT 스위치 쌍의 삽입 손실이 통과 경로의 손실에 더해짐으로 해서 전체 삽입 손실이 많이 증가한다. 그러나 switched-path 감쇠기는 switched-T 감쇠기에 비해 4dB 이상의 큰 감쇠량을 구현하기에 용이하므로 8dB 및 16dB 비트의 설계에 적용하였다.

Fig. 5에서 보는 바와 같이 인덕터 L1은 pHEMT의 기생 커패시턴스를 공진시켜 제거하기 위해 삽입되었다. 기생 커패시턴스가 제거됨으로써 스위칭 소자는 좀더 이상적인 “off” 특성을 나타낸다. 전송선로 TL1과 TL2는 임피던스 정합과 작은 위상 변동 특성을 얻기 위해 삽입되어 그 회로 파라미터인 선폭과 선길이가 최적화되었다.

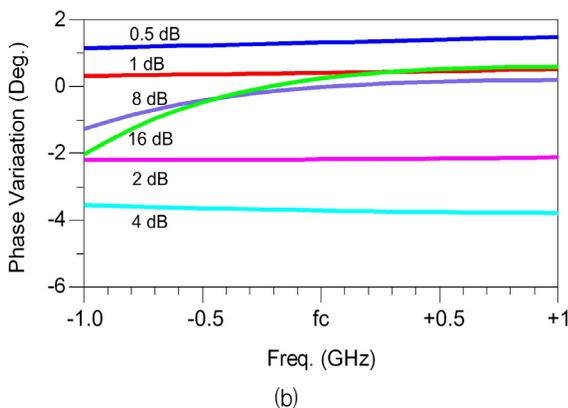
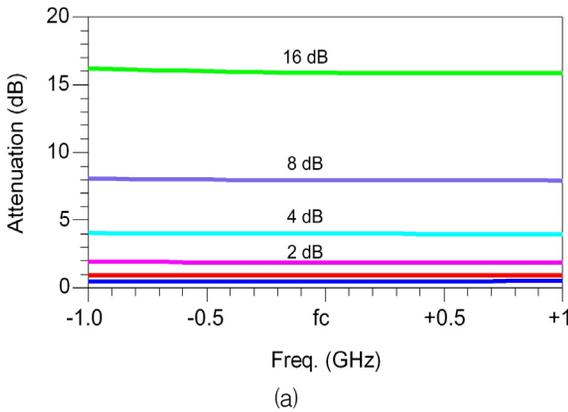


Fig. 6. 0.5, 1, 2, 4, 8, 16dB 비트의 시뮬레이션 결과 (a) 감쇠 (b) 위상 변동(Simulation results of 0.5, 2, 4, 8 and 16dB bits (a) attenuation and (b) phase variation).

또한 감쇠기 설계에서 회로 시뮬레이션은 소자 및 전송 선로 간의 근접 배치에 의한 용량성 결합과 공진 등을 고려할 수 없다. 그러므로 회로 시뮬레이터를 통해 회로 변수의 초기치를 구한 다음, Momentum 법을 이용해서 회로 시뮬레이터로는 정확히 예측이 어려운 다중 접합 및 고주파에서 발생하는 기생 성분들에 의한 성능 변화를 고려하여 정확한 고주파 성능 예측을 추구하였다. Momentum 시뮬레이션에서도 전송 선로의 파라미터와 저항값이 최적화의 변수로 사용되었다. 최적화에서 감쇠의 정확도뿐만 아니라, 임피던스정합과 저삽입 손실 그리고 위상 변동도 함께 고려되어야 한다.

Fig. 6은 설계된 0.5, 1, 2, 4, 8, 16dB 비트의 시뮬레이션 결과이다. Fig. 6 (a)에서 보는 바와 같이 설계된 6 bit 감쇠기는 매우 높은 감쇠 정확도를 보여준다. Fig. 6(b)는 개별 비트의 위상 변동을 시뮬레이션한 결과이며, -4도에서 +1도 사이의 위상 변동을 나타내어 감쇠의 증감에도 위상 변동은 작게 설계되었다. 8dB 비트와 16dB 비트의 위상 변동은 다른 작은 감쇠 비트에 비해 주파수에 따라 변화가 있으며 이는 공진용 인덕터와 기생 커패시턴스에 의해 발생한 공진 특성이다. 입출력 VSWR은 1.4 이하로 설계되었음을 시뮬레이션을 통해 확인하였다.

3. 제작 및 측정 결과

Fig. 7은 제작된 6 비트 MMIC 감쇠기를 나타낸다. 제작된 감쇠기는 2500×2000 μm^2 의 크기이며, RF 입출력단은 좌우에 배치되고, 제어전압 인가를 위한 DC 패드들은 하단에 배치되었다. 제어전압은 0/-2.5V이다.

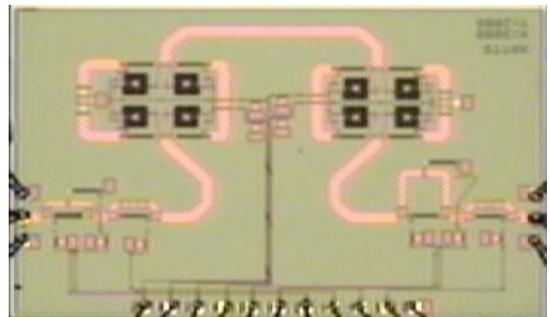


Fig. 7. 6 비트 MMIC 디지털 감쇠기(6-bit MMIC digital attenuator).

Fig. 8(a)는 제작된 6 비트 MMIC 감쇠기의 위상 변동의 측정 결과를 나타낸다. 64가지 모든 감쇠 상태에 대한 측정 결과이며, -7도부터 +2도 이내의 위상 변동을 나타내어 Table 1의 성능 목표를 잘 만족하였다. 시뮬레이션에서 8dB 비트와 16dB 비트의 위상 변동은 주파수에 따라 약 2도의 변화를 나타내었으나 측정 결과 0.5도 이내의 변동을 나타내었다. 이와 같은 차이는 인덕터 모델의 부정확성에 기인한 것으로 보여진다. Fig. 8(b)는 64가지 모든 감쇠 상태에 대한 입출력단의 VSWR의 측정 결과를 나타내며, 1.5 이내이므로 Table 1의 성능 목표를 잘 만족하였다.

Fig. 9(a)는 64가지 모든 감쇠 상태에 대한 S21의 측정 결과를 나타낸다. 참조 상태 삽입 손실은 7~8dB이며, 0.5dB의 감쇠 해상도와 31.5dB의 감쇠 동작 범위를 달성하여 Table 1의 성능 목표를 잘 만족한다. Fig.

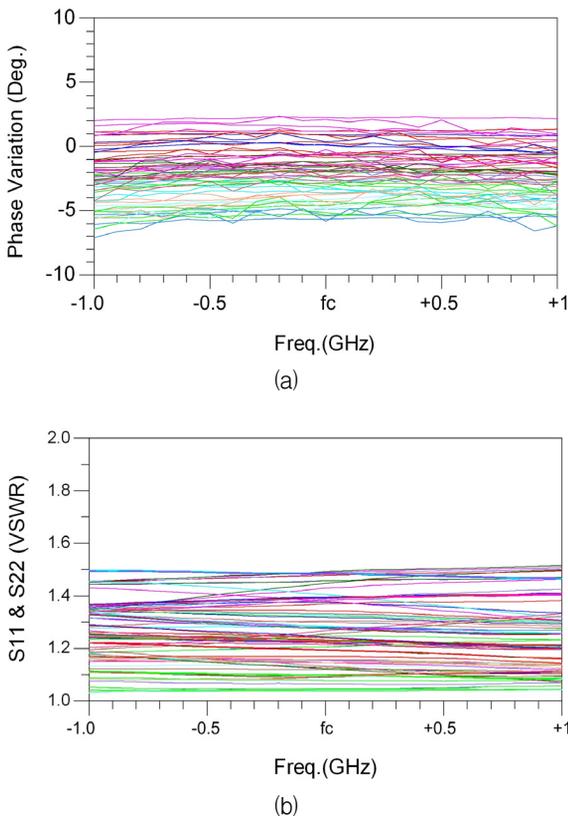


Fig. 8. 6 비트 감쇠기의 측정 결과 (a) 위상 변동 (b) 입출력 VSWR(Measurement results of 6-bit Attenuator (a) phase variation and (b) VSWR of in/output port).

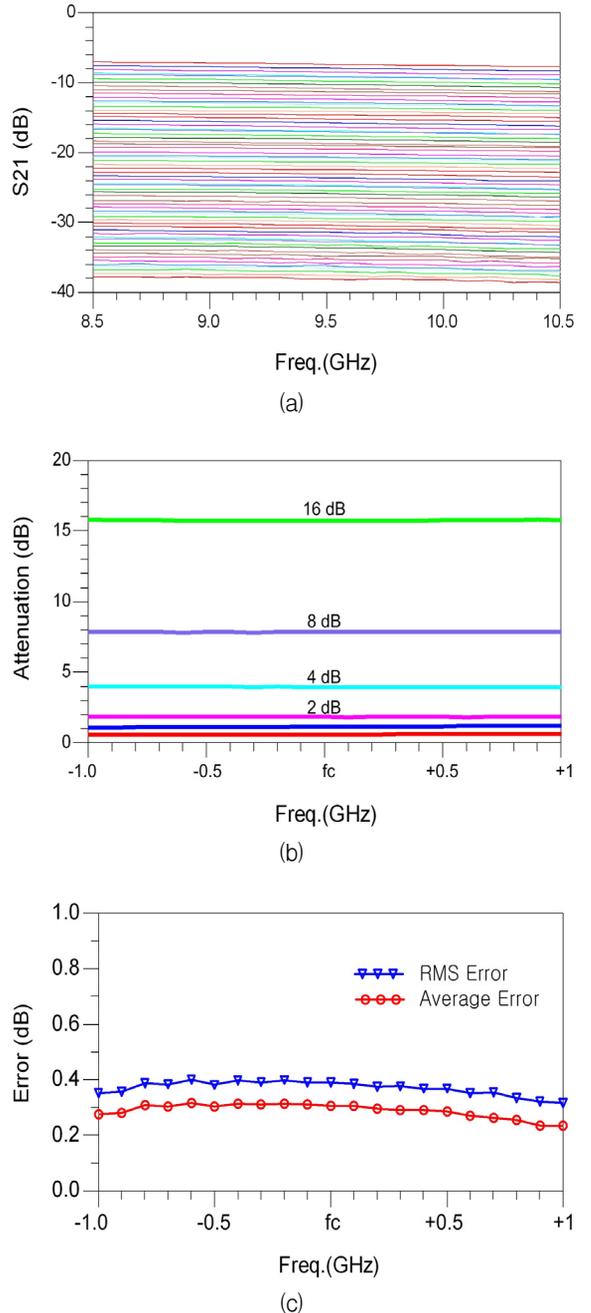


Fig. 9. 6 비트 감쇠기의 측정 결과 (a) 모든 상태의 S21 (b) 주요 비트의 감쇠 (c) 감쇠의 RMS 에러와 평균 에러(Measurement results of 6-bit Attenuator (a) S21 of all states (b) attenuation of main bits and (c) RMS error and average error of attenuation).

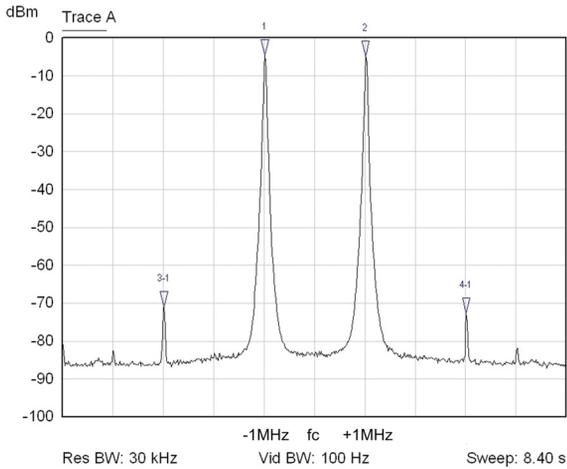


Fig. 10. 6 비트 감쇠기의 상호 혼변조 왜곡 측정 결과 (Measurement results of IMD).

Table 2. 본 디지털 감쇠기와 상용 감쇠기와의 성능 비교

Parameter	Unit	This work	MA-COM ^[4]	Mimix ^[10]
Bandwidth	GHz	fc±1	0.1~20	0.1~18
Insertion Loss	dB	<8	<5.5	<7
Input VSWR		<1.5:1	<2.0:1	<2.0:1
Output VSWR		<1.5:1	<2.0:1	<2.0:1
Attenuation Range	dB	31.5	23.25	27.9
LSB	dB	0.5	0.75	0.9
MSB	dB	16	12	14.4
RMS Attenuation Error	dB	<0.4	<1.0	<0.5
Average Attenuation Error	dB	<0.3	-	-
Phase Variation over all Attenuation States	°	-7~+2	-13~+21	-1~+18
Input Third Order Intercept Point	dBm	36.5	32	-

9(b)는 설계된 0.5dB부터 16dB 비트까지 6개의 주요 비트의 감쇠 특성의 측정 결과를 보여준다. 측정 결과는 Fig. 6(a)의 시뮬레이션 결과와 잘 일치한다. Fig. 9(c)는 RMS 감쇠 에러와 평균 감쇠 에러를 보여준다. RMS 감쇠 에러는 0.4dB 이하이며, 평균 감쇠 에러는 0.3dB 이하의 성능이 측정되었으므로 Table 1의 성능 목표를 잘 만족하였다.

Fig. 10은 상호 혼변조 왜곡 특성을 측정한 결과이다. 출력 전력은 -4.5 dBm, IMD는 -67dBc, 이득은 -7.5 dB로 측정되었다. 따라서 Input Third Order Intercept Point는 36.5dBm이므로 Table 1의 성능 목표를 잘 만족하였다.

Table 2는 본 디지털 감쇠기와 상용 디지털 감쇠기의 성능을 비교하여 나타내었다. 본 디지털 감쇠기는 VSWR 1.5이내의 정합 특성, 31.5dB의 넓은 감쇠 동작 범위, 0.5dB의 세밀한 감쇠, 0.4dB이내의 작은 RMS 감쇠 오차, 작은 위상 변동, 높은 선형성 등의 특성이 상용 제품에 비해 우수함을 나타내었다.

4. 결론

0.5µm GaAs pHEMT 공정을 이용하여 X-band 위상 배열 레이더용의 6 비트 MMIC 디지털 감쇠기를 설계, 구현하였다.

본 연구에서는 광대역 저손실 특성을 얻기 위해 4dB 이하의 작은 감쇠 비트는 Switched-T 감쇠기를 기본 구조로 사용하였고, 8dB 이상의 큰 감쇠 비트는 작은 위상 변동 특성을 얻기 위해 Switched-path 감쇠기를 기본 구조로 사용하였다. 종래의 감쇠기 구조의 저항 값들을 최적화하였을 뿐만 아니라, 새롭게 전송 선로 들을 삽입하였다. 삽입된 전송 선로들의 회로 파라미터를 최적화하여 높은 감쇠 정확도와 작은 위상 변동을 가진 디지털 감쇠기를 설계, 구현하였다. 고주파에서의 정확한 성능 예측을 위해서 회로 시뮬레이션뿐만 아니라 Momentum 시뮬레이션을 설계에 사용하여 시뮬레이션과 측정 결과가 잘 일치하였다.

본 디지털 감쇠기는 X대역의 동작 주파수에서 RMS 에러는 0.4dB 이하로서 우수한 감쇠 정확도를 나타내었고, 0.5dB의 감쇠 해상도와 31.5dB의 감쇠 동작 범위를 가지고 있다. 또한, 입력단과 출력단 VSWR은 전체 64가지 감쇠 상태에서 1.5 이하, 위상 변동은 -7도 부터 +2도 이내, IIP3는 36.5dBm으로 측정되었다.

본 6 비트 pHEMT MMIC 디지털 감쇠기는 높은 감쇠 정확도, 작은 위상 변동, 우수한 입출력 정합 특성 및 높은 선형성을 가지고 있으므로, X-band 위상 배열 레이더 또는 안테나에 적합하다.

후 기

본 연구는 국방과학연구소 지원으로 수행되었음.

Reference

- [1] B. khabbaz, A. Pospishil, and H. P. Singh, "DC-to-20 GHz MMIC Multibit Digital Attenuators with On-Chip TTL Control", IEEE Journal of Solid-State Circuits, Vol. 27, No. 10, pp. 1457~1462, Oct. 1992.
- [2] Triquint Semiconductor, "0.5-18 GHz 5-bit Digital Attenuator TGL6425-SCC", Datasheet, 1998.
- [3] F. McGrath, R. Pratt, "An Ultra Broadband DC-12 GHz 4-bit GaAs Monolithic Digital Attenuator", IEEE GaAs IC Symposium, pp. 247~250, Oct. 1991.
- [4] M/A-COM, "2-20 GHz 5-bit Digital Attenuator MAATGM0004-DIE", Datasheet, 2009.
- [5] D. Krafcsik, A. Fazal, and S. Bishop, "Broadband, Low-Loss 5-bit and 6-bit Digital Attenuators", IEEE MTT-S Int. Microwave Symp. Dig., Vol. 3, pp. 1627~1630, May 1995.
- [6] J. C. Sarkissian, M. Delmond, E. Laporte, E. Rogeaux, and M. Soulard, "A Ku-band 6-bit Digital Attenuator with Integrated Serial to Parallel Converter", IEEE MTT-S Int. Microwave Symp. Dig., Vol. 4, pp. 1915~1918, Jun. 1999.
- [7] Bookham Technology, "0.5-16 GHz 6-bit Digital Attenuator P35-4304-000-200", Datasheet, 2003.
- [8] L. Sjogren, D. Ingram, M. Biedenbender, R. Lai, B. Allen, and K. Hubbard, "A Low Phase-Error 44-GHz HEMT Attenuator", IEEE Microwave and Guided Wave Letters, Vol. 8, No. 5, May 1998.
- [9] Peter Vizmuller, "RF Design Guide", Artech House, pp. 64~65, 1995.
- [10] Mimix, "DC-18.0 GHz GaAs MMIC 5-bit Digital Attenuator XA1000-BD", Datasheet, 2009.