Journal of the KIMST, Vol. 19, No. 3, pp. 379-386, 2016
ISSN 1598-9127
DOI http://dx.doi.org/10.9766/KIMST.2016.19.3.379

Research Paper 정보 · 통신 부문

SPD를 이용한 2.4 GHz PLL의 위상잡음 분석

채명호*,1) · 김지흥2) · 박범준2) · 이규송2)

1) 국방과학연구소 제2기술연구본부
2) 국방과학연구소 전자전체계단

Phase Noise Analysis of 2.4 GHz PLL using SPD

Myeoung-ho Chae*,1) · Jee-heung Kim2) · Beom-jun Park2) · Kyu-song Lee2)

1) *The 2nd Research and Development Institute, Agency for Defence Development, Korea*
2) *Electronic Warfare PMO, Agency for Defense Development, Korea*

(Received 7 October 2015 / Revised 3 February 2016 / Accepted 29 April 2016)

ABSTRACT

In this paper, phase noise analysis result for 2.4 GHz PLL(phase locked loop) using SPD(sample phase detector) is proposed. It can be used for high performance frequency synthesizer's LO(local oscillator) to extend output frequency range or for LO of offset PLL to reduce a division rate or for clock signal of DDS(direct digital synthesizer). Before manufacturing, theoretical estimation of PLL's phase noise performance should be performed. In order to calculate phase noise of PLL using SPD, Leeson model is used for modeling phase noise of VCO(voltage controlled oscillator) and OCXO(ovened crystal oscillator). After theoretically analyzing phase noise of PLL, optimized loop filter bandwidth was determined. And then, phase noise of designed loop filter was calculated to find suitable OP-Amp. Also, the calculated result of phase noise was compared with the measured one. The measured phase noise of PLL was -130 dBc/Hz @ 10 kHz.

Key Words : Fixed PLL(고정 위상잠금루프), SPD(샘플 위상검출기), Phase Noise(위상잡음), Loop Filter(루프필터)

1. 서 론

고정주파수원은 일반적으로, 주파수합성기의 출력 주파수 확장을 위한 혼합기의 LO(Local Oscillator)[1]와, offset PLL(Phase Locked Loop)의 LO[2], DDS의 구동용 클럭신호[3]에 주로 사용 된다. 고정주파수원은 LO 또는 DDS의 클럭신호로 사용되므로 RF 출력 특성 저하를 막기 위해, 저 위상잡음 및 높은 주파수 정확도, 그리고 낮은 불요신호 특성이 요구된다.

고정주파수원을 구현하기 위해서는 여러 가지 방법이 있지만, 대표적으로 아날로그 직접 주파수합성방식 또는 PLL 방식을 사용한다. 아날로그 직접 주파수합성방식의 경우, 혼합기와 체배기, 스위치 및 여파기를

* Corresponding author, E-mail: mhchae4940@naver.com
Copyright ⓒ The Korea Institute of Military Science and Technology

사용하여 대수적인 곱 또는 합을 이용해 주파수를 합성하는 방식으로, 일반적으로 안정한 기준주파수원인 수정발진기를 이용하여 주파수를 상향시켜 사용한다.

이는 빠른 스위칭 속도, 높은 주파수 정확도, 반송파(carrier) 주변에서 저 위상잡음 특성을 갖지만, 하드웨어 크기가 커지고, 체배기를 이용하여 주파수 상향을 할 경우 반송파에서 멀리 떨어져 있는 위상잡음이 열화되는 단점이 있다[4].

PLL은 VCO의 궤환주파수와 기준주파수를 위상비교하여 위상잠금을 구현하는 합성방식으로, 낮은 불요신호 특성과 높은 주파수정확도 특성을 갖는다. 또한, 구조에 따라 위상잡음과 동조속도, 주파수해상도 특성이 결정된다[1,2].

우수한 위상잡음 특성 구현을 위해서는 PLL의 구조 중, SPD(Sample Phase Detector)를 이용한 PLL을 많이 사용한다. 본 논문에서는 SPD를 이용한 PLL의 위상잡음을 이론적으로 분석 한 후, 제작하여 얻은 측정결과와 비교하고자 한다. 논문의 2장에서는 SPD를 이용한 PLL과 PFD를 이용한 PLL, 두 구조의 위상잡음을 계산하여 SPD를 이용한 PLL 구조가 PFD를 이용한 PLL에 비해 얼마나 위상잡음이 개선되는지 이론적으로 예측한 후, 이에 적합한 구성도를 설계하였다. 3장에서는 설계한 PLL 구조의 위상잡음 계산 및 분석을 수행하였다. 4장에서는 측정결과와 계산 결과를 비교분석하고 결론을 맺었다.

2. 저 위상잡음 특성을 갖는 고정 2.4 GHz PLL 구조 설계

본 장에서는 SPD를 이용한 PLL 구조가 PFD를 이용한 PLL 구조보다 얼마나 위상잡음 특성을 개선시킬 수 있는지를 비교하고, SPD를 이용한 PLL의 구성도를 설계하였다.

2.1 PFD를 이용한 PLL 방식

PFD를 이용한 PLL 방식의 경우, PFD와 디지털 분주기, charge pump를 사용하여 PLL을 구현하는 방식으로, 흔히 상용 PLL IC를 사용한다[1,2,5].

Analog Device사의 ADF4106을 이용하여 Fig. 1에 2.4 GHz 출력주파수를 갖는 정수형 PLL로 설계하였다.

PLL 위상잡음은 크게 기준주파수 위상잡음, VCO 위상잡음과 PFD 위상잡음의 영향을 받는다. 이 때, PFD 위상잡음이 나쁘면, 기준주파수가 저 위상잡음 특성을 갖는다 해도, 출력 위상잡음은 PFD 위상잡음에 의해 열화 된다. PFD 위상잡음을 낮게 구현하기 위해서, 비교주파수(F_d)는 구현 가능한 가장 높은 주파수인 100 MHz를, 분주비는 24로 선정하였다.

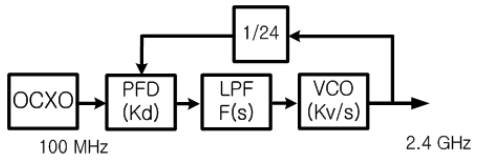


Fig. 1. PLL using a PFD

$$PFD_{PN} = FOM + 10\log(F_d) + 20\log(\text{분주비}) \quad (1)$$

ADF4106의 FOM(Figure Of Merit)은 -223 dBc/Hz이므로, 이 때 PFD 위상잡음은 식 (1)에 따라 -115 dBc/Hz가 된다[3,6].

2.2 SPD를 이용한 PLL 방식

SPD를 이용한 PLL 방식은 위상잠금을 위한 보조회로가 필요하지만 낮은 위상잡음을 구현할 수 있는 장점이 있다[2,5,7,8]. Fig. 2에 2.4 GHz 출력주파수를 갖는 SPD를 이용한 PLL 구조를 나타내었다.

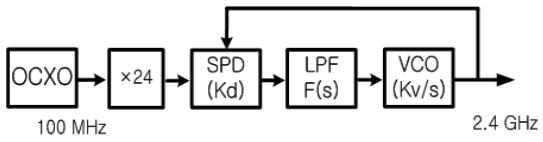


Fig. 2. PLL using a SPD

SPD는 SRD(Step Recovery Diode)와 두 개의 schottky diode로 된 SBM(Single Balanced Mixer)로 구성된 것으로, SRD를 이용하여 신호를 수십 체배한 후, SBM을 PD(Phase Detector)로 사용하여 기준주파수와 VCO의 신호를 위상 비교하는 역할을 한다. 분주비 없이 높은 비교주파수로 위상잠금을 구현할 수 있으므로 저 위상잡음 특성을 구현할 수 있다.

SPD의 FOM은 약 -230 dBc/Hz[3], 분주비 1, 비교주파수 2.4 GHz 이므로, 위 식 (1)에 따라 PD의 위상잡음은 -136 dBc/Hz 임을 계산할 수 있다. 이 결과는 PFD를 이용한 PLL 방식에 비해 최대 약 20 dB 정도 위상잡음을 낮게 구현할 수 있음을 확인 할 수 있다.

2.3 PLL 구성도

Fig. 3에 PLL의 구성도를 나타내었다. 주파수 흐름을 살펴보면, 100 MHz 기준주파수가 2단의 증폭기를 통해 증폭된 후 SPD의 입력으로 들어가게 된다. SPD의 첫 단의 SRD(Step Recovery Diode)에서 신호가 약 70 ps의 펄스폭으로 신호의 주기 마다 sampling 되고, 이로 인해 고조파열이 발생된다. 고조파열은 schottky diode로 구성된 혼합기에서 VCO 출력 2.4 GHz의 궤환 주파수와 위상비교 되어, beat note 신호가 발생된다[7,8].

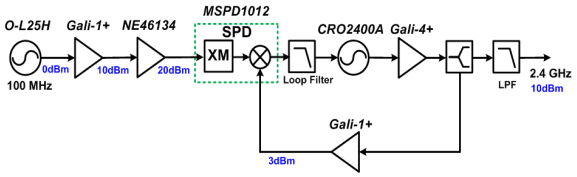


Fig. 3. PLL block diagram

Beat note 신호는 loop filter를 통해 VCO의 튜닝 전압을 조절하는 역할을 하여, VCO의 주파수가 기준주파수의 24 체배된 주파수와 일치하게 되고 각 위상차는 90도로 유지되어 위상잠금이 구현된다[5].

기준주파수는 100 MHz 출력을 갖는 NEL Frequency Controls사의 OCXO(ovened crystal oscillator) O-L25H를 사용하여, 출력 주파수 특성이 안정적이고 낮은 위상잡음을 갖도록 하였다. SPD는 동작 주파수 특성과 LO 입력 세기 및 beat note의 세기를 고려하여 적절한 부품인 Aeroflex 사의 MSPD1012를 사용하였다. VCO는 위상잡음 특성이 우수한 Z-communications 사의 CRO2400A를 사용하였다. 한편, SPD의 입력신호는 약 20 dBm을 맞춰주어야 하므로, 두 단의 cascade 구조로 연결한 증폭기를 사용하였다. SPD의 LO 신호 크기는 LO 구동에 적합하도록 0~3 dBm의 전력으로 맞춰주어야 한다. 이는 저항성 분배기를 이용하여 궤환 경로의 출력을 조절하였고, 격리도 확보를 위해 증폭기를 사용하였다. 또한, 증폭기를 통과한 후 발생되는 고조파 성분을 제거하기 위해, 저항성 분배기 뒷단에 LPF를 사용하였다.

3. SPD를 이용한 PLL 위상잡음 계산

PLL의 위상잡음원을 아래 Fig. 4에 나타내었다. 위상잡음원은 식 (2)와 같이 각 위상잡음원을 제곱하여 표현한 PSD(Power Spectral Density)로 나타낼 수 있다[9]. 이 때, $S_{\Phi,REF}(f)$는 기준주파수 위상잡음, $S_{\Phi,VCO}(f)$는 VCO 위상잡음, $S_{\Phi,SPD}(f)$는 SPD 위상잡음, $S_{\Phi,LPF}(f)$는 loop filter 위상잡음, $S_{\Phi,O}(f)$는 PLL 출력 위상잡음, $F(jf)$는 loop filter transfer function, $H(jf)$는 closed loop gain, M은 SPD의 체배항, K_d(V/rad)는 위상비교상수이다.

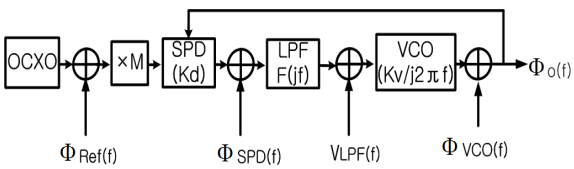


Fig. 4. Phase noise source of PLL

$$S_{\Phi,O}(f)=H(jf)^2\left[M^2S_{\Phi,REF}(f)+\frac{S_{\Phi,SPD}(f)}{K_d^2}+\frac{S_{\Phi,LPF}(f)}{K_d^2|F(jf)|^2}\right]+|1-H(jf)|^2S_{\Phi,VCO}(f) \quad (2)$$

식 (2)에서 $H(jf)$는 low-pass filter의 역할을 하고, $1-H(jf)$은 high-pass filter의 역할을 한다. 따라서 PLL은 closed loop gain 대역폭 내에서는 기준주파수와 SPD, loop filter의 위상잡음이 출력 위상잡음에 영향을 주고, VCO의 위상잡음은 closed loop gain 대역폭 밖에서 영향을 주는 것을 알 수 있다.

저 위상잡음 특성을 갖는 PLL 구현을 위해, 설계시 식 (2)를 이용하여 PLL의 위상잡음 모델링을 수행하여야 한다. 모델링의 순서는 다음과 같다. 먼저 $S_{\Phi,REF}(f)$, $S_{\Phi,VCO}(f)$, $S_{\Phi,SPD}(f)$를 데이터시트 또는 실제 측정값을 기준으로 모델링을 수행한다. 이를 한 번에 그려놓고, 최적의 closed loop gain 대역폭(w_{3dB})를 찾는다. 그 후 w_{3dB}의 대역폭을 갖는 loop filter 설계를 통해 $F(jf)$과 $H(jf)$를 구한다. 이 때, $S_{\Phi,LPF}(f)$는 loop filter의 저항 값의 크기와 op-amp의 부품에 따라 달라지므로, $S_{\Phi,LPF}(f)$의 최적화를 위한 loop filter 설계가 필요하다.

3.1 Leeson model 이용한 OCXO, VCO 모델링

모든 발진기는 leeson model을 이용하여 모델링 할 수 있다[9]. 따라서, 기준주파수로 쓰이는 OCXO와 VCO

를 식 (3)에 나타낸 leeson model을 이용하여 모델링 하였다.

$$S_{\Phi}(f) = \frac{a_4}{f^4} + \frac{a_3}{f^3} + \frac{a_2}{f^2} + \frac{a_1}{f} + a_0 \quad (3)$$

일반적으로 diode나 트랜지스터를 이용한 소자는 백색잡음 뿐만 아니라 flicker 잡음이 존재한다. 백색잡음은 주파수에 독립적이며, Gaussian amplitude distribution을 갖는다. 또한 백색잡음은 부품의 noise figure에 의해 영향을 받는다[4].

Flicker 잡음은 zero-frequency offset에 근처에 1/f의 기울기로 존재한다. 이 때, 발진기의 경우 공진기가 적분기의 역할을 하게 되는데, 이는 백색잡음과 flicker 잡음 각각에 -20 dBc/decade의 기울기가 추가하는 역할을 하게 되고, 식 (3)과 같이 반송파 가까운 곳에 $1/f^3$, $1/f^2$의 잡음이 추가로 발생된다[4]. $1/f^4$항은 외부환경(온도, 진동, 충격 등)에 의한 잡음 항으로 모델링할 때 고려하지 않았다.

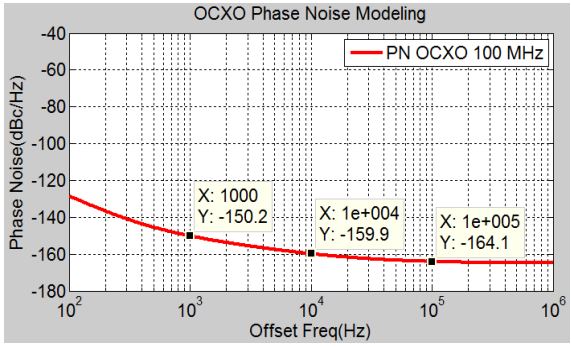


Fig. 5. Modeled phase noise of OCXO

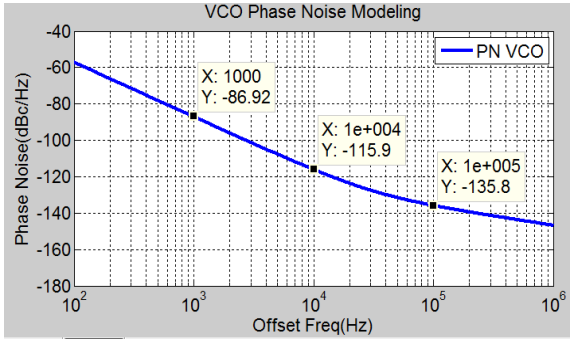


Fig. 6. Modeled phase noise of VCO

OCXO와 VCO 위상잡음 모델링은 데이터 시트를 참조하여 수행하였고, OCXO 위상잡음 $S_{\Phi,REF}(f)$은 a_3 = 1.3 × 10^{-7}, a_2 = 1 × 10^{-10}, a_1 = 7 × 10^{-13}, a_0 = $10^{-16.5}$으로, VCO의 위상잡음 $S_{\Phi,VCO}(f)$은 a_3 = 2, a_2 = 3.5 × 10^{-5}, a_1 = 2 × 10^{-9}으로 모델링하였고, 그 결과를 Fig. 5와 Fig. 6에 나타내었다. Fig. 5, 6의 모델링 결과, Table 1의 data-sheet 값과 비교하였을 때 1 dB 오차 이내로 모델링 한 것을 확인 할 수 있다.

Table 1. Phase noise of OCXO and VCO on the datasheet

제 원		OCXO	VCO	단위
Phase Noise	@ 1 kHz	-150	-87.4	dBc/Hz
	@ 10 kHz	-160	-116.3	
	@ 100 kHz	-165	-135.8	

3.2 SPD의 위상잡음

SPD 위상잡음은 식 (1)의 PFD 위상잡음의 수식과 유사하지만, 분주비가 1이므로, $20\log N$ 항이 0이 되고, 10log를 풀면 아래 식 (4)와 같이 쓸 수 있다. 이 식은 flicker 잡음에 대한 항을 생략한 근사적인 식이다.

$$\frac{S_{\Phi,SPD}(f)}{K_d^2} \approx 10^{FOM/10} \times (\text{비교주파수}) \quad (4)$$

한편, 신호가 비선형소자인 SRD를 통해 2 체배가 되면, 식 (5)와 같이 위상잡음도 2배 증가하게 된다[10].

$$\begin{aligned} v(t) &= \sin(2\pi f_o + \triangle\phi(t)) \times \cos(2\pi f_o + \triangle\phi(t)) \quad (5) \\ &= \frac{1}{2} sin(4\pi f_o + 2\triangle\phi(t)) \end{aligned}$$

이를 PSD로 표현하면 위상잡음의 제곱이 되므로, SRD를 통해 체배된 OCXO 위상잡음은 식 (6)과 같이 표현됨을 알 수 있다.

$$S_{\Phi,M\times REF}(f) = M^2 \times S_{\Phi,REF}(f) \quad (6)$$

w_{3dB}을 찾기 위해 모델링 및 계산한 기준주파수, 24 체배된 OCXO, VCO, SPD 위상잡음을 Fig. 7에 나타내

었다. w_{3dB}은 일반적으로 SPD의 위상잡음과 VCO의 위상잡음이 교차하는 지점의 주파수이다. Fig. 7을 확인한 결과, 위상잡음을 위한 약 120 kHz가 최적의 w_{3dB} 임을 알 수 있다.

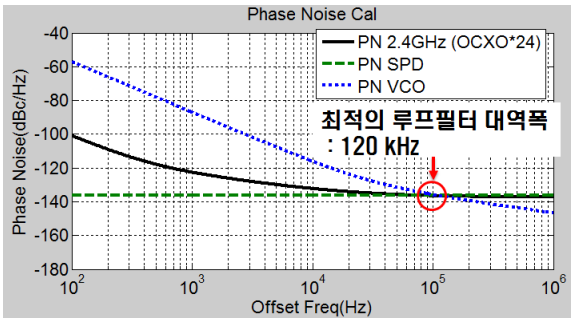


Fig. 7. Modeled or calculated phase noise of SPD, VCO, 24 multiplying OCXO

3.3 Loop filter 위상잡음 계산

TypeⅡ 2차 loop filter의 잡음원은 Fig. 8과 같이, 저항에 의한 백색잡음원과 OP-amp에 의한 전압과 전류 잡음원으로 표현할 수 있다. 앞서 설명한 것과 같이 OP-Amp는 flicker잡음과 백색잡음이 함께 존재하며, 잡음의 정도는 부품에 따라 다르다.

Fig. 8은 PLL의 위상잠금이 되었을 때 잡음원을 나타낸 것으로, 이 때 bistable multivibrator의 sweep 전류는 흐르지 않아 open된 상태이다. 따라서 bistable multivibrator의 잡음은 고려하지 않았다.

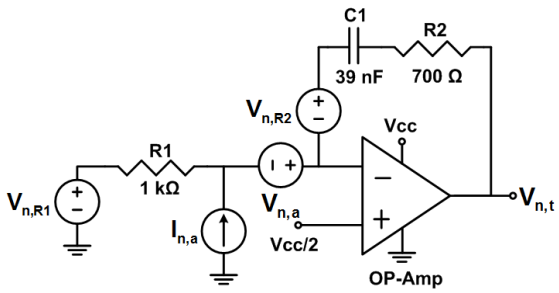


Fig. 8. Noise source of loop filter

저항에 의한 RMS(root mean square)잡음은, 아래 식 (7)과 같이 표현할 수 있다.

$$V_{n,R} = \sqrt{4kBTR} \tag{7}$$

여기서 k는 볼츠만 상수, B는 대역폭, T는 절대온도, R은 저항 값을 의미한다. 위 식을 통해 상온에서 1 Hz의 대역폭 일 때, 저항 값이 커지면 잡음이 증가하는 것을 알 수 있다. OP-Amp의 잡음은 통상적으로 제조사의 data-sheet에 표기 되어있다. 앞서 구한 각 잡음전압은 아래 식 (8) ~ (11)과 같이 계산 된다.

$$V_{n,1} = I_{n,a} \times \frac{R_1(R_2 + (sC_1)^{-1})}{R_1 + R_2 + (sC_1)^{-1}} \tag{8}$$

$$V_{n,2} = V_{n,a} \times \frac{R_1 + R_2 + (sC_1)^{-1}}{R_1} \tag{9}$$

$$V_{n,3} = V_{n,R2} \times \frac{R_1 + R_2 + (sC_1)^{-1}}{R_1} \tag{10}$$

$$V_{n,4} = - V_{n,R1} \times \frac{R_2 + (sC_1)^{-1}}{R_1} \tag{11}$$

각각의 잡음전압원은 서로 독립적이므로, 중첩의 원리를 사용하여 계산 할 수 있다. 따라서 식 (8) ~ (11)로 구한 잡음전압을 식 (12)와 같이 각 전압의 제곱의 합을 하면 loop filter의 잡음전력을 계산 할 수 있다[11].

$$S_{\Phi,LPF}(f) = (V_{n,1}^2 + V_{n,2}^2 + V_{n,3}^2 + V_{n,4}^2) \tag{12}$$

이 때, loop filter의 잡음은 선정한 loop filter의 저항 값이 최대 1 kΩ 수준으로, OP-Amp의 잡음전압이 loop filter의 잡음에 가장 많은 영향을 미치는 것을 확인 하였다. 만약 저항 값이 커지면 식 (7), (8)에 따라 저항에 의한 잡음과 OP-Amp의 잡음전류에 의한 영향이 커지게 된다.

Loop filter에 의한 잡음을 계산하기 위해서는 먼저 SPD 비례상수(K_d)와 VCO 주파수조정감도(K_v)를 알아야 한다. K_d를 구하기 위한 측정 구성은 아래 Fig. 9와 같다.

먼저, Fig. 9와 같이 OP-Amp2의 출력을 개방한다.

그 후, power supply로 VCO의 전압튜닝 핀에 전압을 입력하고, OP-Amp1의 출력단 beat note의 전압을 오실로스코프를 이용하여 측정한다.

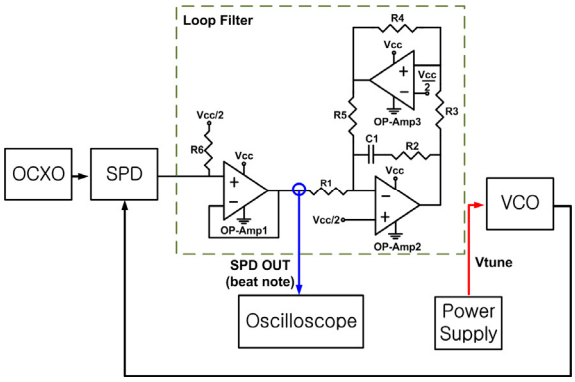


Fig. 9. Measurement setup for SPD proportional factor(K_d)

이 때, power supply를 이용하여 VCO의 가변전압범위 0.5 ~ 4.5 V 까지 가변해서 입력한 후, 최대의 beat note 값을 찾는다. 최대의 beat note peak to peak는 Fig. 10과 같고 이의 절반이 SPD 비례상수가 된다[3,8].

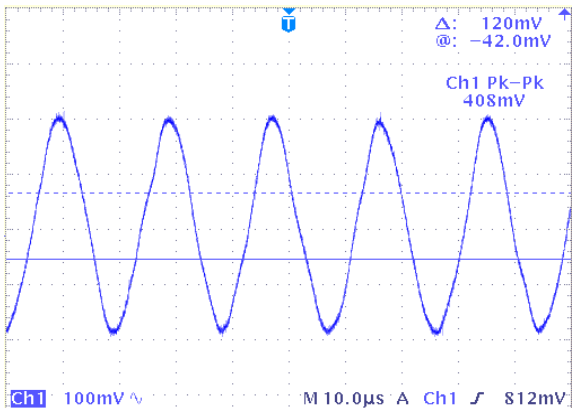


Fig. 10. Measurement result of maximum beat note voltage

즉, K_d는 204 mV/rad 임을 알 수 있다. 한편 K_v는 VCO의 5 MHz/V로 data-sheet에 표기되어 있다.

Loop filter의 잡음이 PLL 위상잡음에 미치는 영향을 계산하기 위해서는, 식 (12)에서 구한 loop filter 잡음을 식 (2)의 $|H(jf)|^2 \times \frac{S_{\Phi,LPF}(f)}{K_d^2 |F(jf)|^2}$ 항에 적용하여야 한다. 이 때, TypeⅡ 2차 loop filter transfer function $F(jf)$와 closed loop gain $H(jf)$는 다음 식 (13), (14)와 같이 나타낼 수 있다.

$$F(jf) = -\frac{1/2\pi + jfR_2C_1}{jfR_1C_1} \tag{13}$$

$$H(jf) = \frac{K_dK_vF(jf)/jf}{2\pi + K_dK_vF(jf)/jf} \tag{14}$$

위 식 (13), (14)를 식 (2)의 $|H(jf)|^2 \times \frac{S_{\Phi,LPF}(f)}{K_d^2 |F(jf)|^2}$ 항에 대입한 후, 상용 OP-amp의 잡음전압 값 범위인 50 $nV/\sqrt{Hz}$에서 1 $nV/\sqrt{Hz}$ 사이로 바꿔가며 PLL 위상잡음에 미치는 영향을 분석하였고, 이를 Fig. 11에 나타내었다[12].

약 6 $nV/\sqrt{Hz}$까지는 PLL 위상잡음에 최대 0.3 dB 정도로 큰 영향을 주지 않고, 그 이후는 최대 8.5 dB 까지 열화가 됨을 확인 할 수 있다. 본 논문에서는 OP-Amp의 잡음전압 값을 약간의 마진을 확보하여, 3.9 $nV/\sqrt{Hz}$의 잡음전압 특성을 갖는 Analog Device사의 OP-284를 사용하였다.

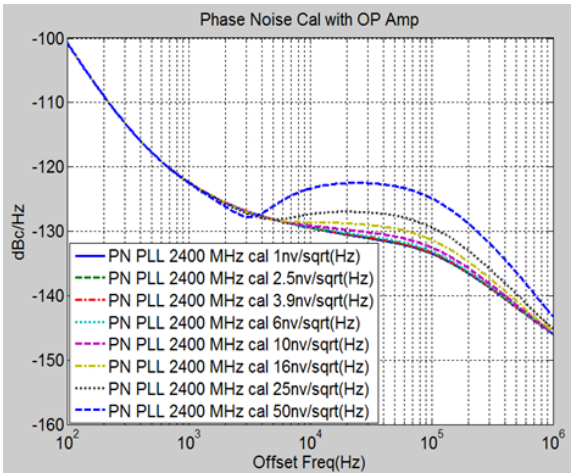


Fig. 11. Phase noise of PLL with op-amp noise voltage change

한편, loop filter의 잡음은 w_{3dB}에 따라 기여도가 다르다. w_{3dB}가 좁으면 loop filter 잡음의 영향이 크고, w_{3dB}가 넓으면 잡음의 영향이 작다. 본 논문에서는 최적의 위상잡음 구현을 위해 w_{3dB}를 120 kHz로 선정하였으나, w_{3dB}를 더 넓게 설정하면, loop filter 잡음의 영향이 줄어든다.

4. 측정 결과

앞서 설계한 것을 바탕으로, 2.4 GHz PLL에 대한 제작 및 측정을 수행 하였다.

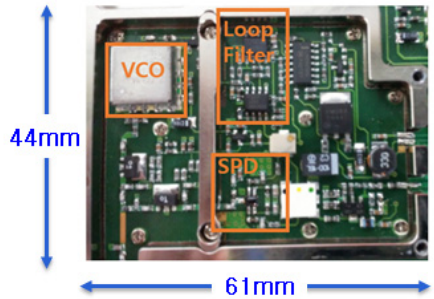


Fig. 12. Fabricated PLL

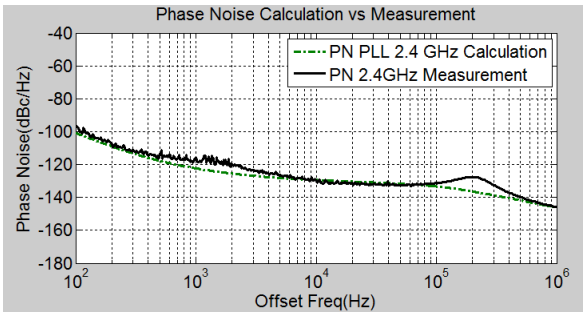


Fig. 13. Phase noise result

Fig. 12에 제작한 PLL를 나타내었다. Fig. 13에는 위상잡음 특성을 측정하여 나타내었고, 위상잡음은 Signal Source Analyzer E5052A를 사용하여 측정하였다.

측정결과를 계산, 측정값과 비교하여 Table 2에 나타내었다.

Table 2. Measurement results of PLL

제 원		계산값	측정값	단위
Phase Noise	@ 1 kHz	-122	-115	dBc/Hz
	@ 10 kHz	-130	-130	
	@ 100 kHz	-133	-131	

Fig. 13과 Table 2를 살펴보면, 위상잡음 특성은 계산결과와 측정결과가 전체적으로 유사하며, 1 kHz offset 주파수 에서는 7 dB 오차가, 10 kHz와 100 kHz 에서는 1 dB 이내의 오차가 발생하는 것을 알 수 있다. 이는 OCXO, VCO 등을 모델링 할 때 data-sheet 만을 참조하여 설계를 수행하여 발생한 오차로서, OCXO나 VCO의 측정값을 적용할 경우 이러한 오차는 줄어들 것으로 예측된다.

5. 결 론

본 논문에서는 저 위상잡음 특성을 위해 SPD를 이용한 2.4 GHz PLL의 위상잡음을 계산하고, 측정결과와 비교하였다. 위상잡음에 주요한 역할을 하는 OCXO, VCO, SPD은 data-sheet를 기반으로 모델링 후, PLL의 위상잡음을 계산하여 최적의 w_{3dB}를 결정하였다. 그 후, loop filter에 사용되는 OP-Amp의 잡음 전압에 따라 PLL 위상잡음에 미치는 영향을 분석하여 OP-Amp의 부품 선정을 하였다. 이러한 과정을 거쳐 최적의 위상잡음을 구현하는 설계과정을 수행하였다. 계산 결과는 전반적으로 측정결과와 유사함을 알 수 있었다.

제작한 2.4 GHz PLL은 DDS의 클럭신호와 offset PLL의 LO, 주파수확장을 위한 LO에 저 위상잡음과 안정적인 특성을 갖는 신호원으로 사용될 수 있다. 또한, 본 논문에서 제시한 SPD를 이용한 PLL에 대한 위상 잡음 분석 방법은 차후 더 높은 주파수 출력을 갖는 PLL의 위상 잡음을 예측하는데 유용하게 활용될 수 있을 것으로 판단된다.

References

[1] Alexander Chenakin, “Frequency Synthesizers Concept to Product,” Artech House, 2011.

[2] Zvi Galani, “An Overview of Frequency Synthesizers for Radars,” IEEE Transactions on Microwave Theory and Techniques, Vol. 39, No. 5, May 1991.

[3] Beom-Jun Park, Dong-Chul Park, “Design and Fabrication of 0.5 ~ 4 GHz Low Phase Noise Frequency synthesizer,” The Journal of Korean Insititute of Electromagnetic Engineering and Science, Vol. 26, No. 3, pp 333-341, Mar. 2015.

[4] Rodolphe Boudot, Eurico Rubiola, “Phase Noise in

RF and Microwave Amplifiers," IEEE Transactions on Ultrasonics Ferroelectrics and Frequency Control, Vol. 59, No. 12, pp. 2613-2624, Dec. 2012.

[5] Floyd M. Gardner, "Phaselock Techniques," A John Wiley & Sons, 2005.

[6] Young Wan Kim, "Phase Noise Model of Single Loop Frequency Synthesizer," IEEE Transactions on Broadcasting, pp. 112-119, March 2008.

[7] A. Brillant, "Understanding Phase-Locked DRO Design Aspects," Microwave J. Sep. 2000.

[8] O. Badamgarav, et. al, "Design of Phase Locking Loopfilter Using Sampling Phase Detector for Ku-Band Dielectric Resonator Oscillator," Vol. 19, No. 10, pp. 1147-1158, Sep. 2008.

[9] Eric Drucker, "Model PLL Dynamics and Phase-Noise Performance," Microwave & RF, May 2000.

[10] Jason Breitbarth, "Design and Characteriztion of Low Phase Noise Noise Microwave Circuits," University of Colorado, 2006.

[11] Texas Instruments, "AN-104 Noise Specs Confusing?," Available : www.ti.com

[12] Myoung-Ho Chae, et. al, "Design and Phase noise Analysis of 2.4 GHz Low Phase Noise PLL," KIMST Annual Conference Proceedings, Jun. 2015.